

반도체 프로젝트 제안서

과제명	커패시터리스 DRAM용 고유전율 박막 제작 공정 개발 및 평가			
과제유형 *1	<input type="checkbox"/> 아날로그시스템설계 <input type="checkbox"/> 디지털시스템설계 <input checked="" type="checkbox"/> 공정 <input checked="" type="checkbox"/> 소재 <input type="checkbox"/> 기타			
방법론 *2	<input type="checkbox"/> 시뮬레이션 <input checked="" type="checkbox"/> 실험 <input type="checkbox"/> 기타()			
결과물	<input checked="" type="checkbox"/> 레포트(논문, 보고서 등) <input checked="" type="checkbox"/> HW (보드, 칩 등) <input type="checkbox"/> SW (시뮬레이션, 앱 등)			
멘토	성 명	이영환	소속	신소재공학부
	연락처	062-530-1696	이메일	yhlee@jnu.ac.kr
내용	<p>1. 목적</p> <ul style="list-style-type: none"> - DRAM 소형화 한계: 기존 1T1C DRAM 구조에서 커패시터 용량 유지가 점점 어려워짐 → capacitor-less DRAM(2T0C, 1T0C, 등) 대안 필요. - High-k 절연막의 필요성: HfO₂-ZrO₂ 기반 절연막은 조성간 상경계 영역(MPB)에서 높은 유전특성을 보여 기존 절연막 대비 개선된 charge storage 특성을 제공할 수 있음. - 연구 목표: Hf-Zr 비율에 따른 조성을 제어하고, 2T0C DRAM 셀용 게이트 산화물의 전기적 특성을 평가하여 capacitor-less DRAM 구현 가능성을 탐구. <p>2. 연구활동</p> <ul style="list-style-type: none"> - HfO₂ 및 ZrO₂ 기반 high-k용 소재 개발 및 ALD 기반 박막 증착 공정 최적화 - 고유전율 박막 합성 및 박막 구조 분석 (예: XRF, XPS, XRD 등) - 고유전율 박막 기반 반도체 소자 제작 및 전기적 특성 분석 <p>3. 결과물</p> <ul style="list-style-type: none"> - DRAM 커패시터 특성 향상 방안 및 프로젝트 결과 보고서 - 국내 학술대회 참가 혹은 국내 학술지 게재 			
기타 *3	<ul style="list-style-type: none"> - 반도체 관련 기초 전공 지식 보유 우대 (예: 반도체 소재·공정 및 반도체 소자물리, 등) - 구조 분석용 재료공학 전공 지식 보유 우대 (예: X-선 및 결정학, 등) - 박막 증착용 진공장비 구동 관련 지식 우대 (예: 박막공학, 등) - 소자 제작 위한 재료비 및 소모품 지원 - 장비이용료 및 분석료 지원 <p>※ 프로젝트 수행 기간 및 상황에 따라 연구활동 범위 및 결과물 내용 변경 가능</p>			